

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/019286

International filing date: 20 October 2005 (20.10.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-317313
Filing date: 29 October 2004 (29.10.2004)

Date of receipt at the International Bureau: 01 December 2005 (01.12.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 0 月 2 9 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 3 1 7 3 1 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 3 1 7 3 1 3
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 株式会社村田製作所

2 0 0 5 年 1 1 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	M340747
【あて先】	特許庁長官 小川 洋 殿
【国際特許分類】	H05K 3/46
【発明者】	
【住所又は居所】	京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
【氏名】	近川 修
【発明者】	
【住所又は居所】	京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
【氏名】	酒井 範夫
【特許出願人】	
【識別番号】	000006231
【氏名又は名称】	株式会社村田製作所
【代表者】	村田 泰隆
【代理人】	
【識別番号】	100096910
【弁理士】	
【氏名又は名称】	小原 肇
【電話番号】	045(476)5454
【手数料の表示】	
【予納台帳番号】	064828
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0404697

【書類名】 特許請求の範囲

【請求項 1】

複数の誘電体層が積層されてなる積層体と、この積層体内に埋設され且つ端子電極を有するチップ型電子部品と、を備え、上記誘電体層に、その積層方向にビア導体を設けた、チップ型電子部品を内蔵した多層基板であって、

上記チップ型電子部品の端子電極は、上記ビア導体の上下の端面のうち、少なくともいずれか一方の端面に接続されており、且つ、上記ビア導体に接続段部が形成されていることを特徴とするチップ型電子部品を内蔵した多層基板。

【請求項 2】

上記誘電体層はセラミック層であり、上記積層体は複数の上記セラミック層が積層されてなるセラミック積層体であって、上記チップ型電子部品は、セラミック焼結体を素体とするものであることを特徴とする請求項 1 に記載のチップ型電子部品を内蔵した多層基板。

【請求項 3】

上記セラミック層は、低温焼結セラミック材料によって形成され、且つ、上記ビア導体は、銀または銅を主成分とする導体材料によって形成されていることを特徴とする請求項 2 に記載のチップ型電子部品を内蔵した多層基板。

【請求項 4】

ビア導体を有する誘電体層の上に、端子電極を有するチップ型電子部品の端子電極を上記ビア導体と接するように配置する工程と、

上記チップ型電子部品が配置された誘電体層と他の誘電体層とを重ね合わせて、上記チップ型電子部品が内蔵された積層体を形成する工程と、

を備えたことを特徴とするチップ型電子部品を内蔵した多層基板の製造方法。

【請求項 5】

上記誘電体層をセラミックグリーン体とし、上記チップ型電子部品を、セラミック焼結体を素体とするものとし、このチップ型電子部品が配置されたセラミックグリーン体を他のセラミックグリーン体と共に重ね合わせて、上記チップ型電子部品が内蔵されたセラミックグリーン積層体を形成し、このセラミックグリーン積層体を焼成すること特徴とする請求項 4 に記載のチップ型電子部品を内蔵した多層基板の製造方法。

【請求項 6】

上記他のセラミックグリーン体は、上記チップ型電子部品の端子電極と接するビア導体を有すること特徴とする請求項 5 に記載のチップ型電子部品を内蔵した多層基板の製造方法。

【請求項 7】

上記セラミックグリーン体を低温焼結セラミック材料によって形成する工程と、

上記セラミックグリーン積層体の内部に銀または銅を主成分とする導体パターンを形成する工程と、

を備えたこと特徴とする請求項 5 または請求項 6 に記載のチップ型電子部品を内蔵した多層基板の製造方法。

【請求項 8】

上記セラミックグリーン積層体の内部または表面に、上記セラミックグリーン体の焼結温度では実質的に焼結しない難焼結性粉末からなる収縮抑制層を付与する工程を備えたこと特徴とする請求項 5 ～請求項 7 のいずれか 1 項に記載のチップ型電子部品を内蔵した多層基板の製造方法。

【書類名】 明細書

【発明の名称】 チップ型電子部品を内蔵した多層基板及びその製造方法

【技術分野】

【０００１】

本発明は、チップ型電子部品を内蔵した多層基板及びその製造方法に関するものである。

【背景技術】

【０００２】

従来のこの種の技術としては特許文献１に記載の多層セラミック基板およびその製造方法がある。特許文献１に記載された多層セラミック基板及びその製造方法の場合には、セラミック機能素子を予め焼成して得られたプレート状の焼結体プレートをもって、コンデンサ素子、インダクタ素子及び抵抗素子等の機能素子を作製しておき、これらの機能素子を未焼結複合積層体内の内部導体膜やビアホール導体に接続して内蔵させる。未焼結複合積層体は、基体用グリーン層と、難焼結性材料を含む拘束層と、配線導体とを備えており、これを焼成した時、拘束層の作用により、基体用グリーン層は主面方向での収縮が抑制される。この技術では拘束層を用いた無収縮工法によって焼成するため、機能素子を内蔵した状態で未焼結複合積層体を問題なく焼成することができると共に、焼結体プレートからなる機能素子と基体用グリーン層との間で成分の相互拡散が生じず、機能素子の特性が焼成後も維持される。

【０００３】

特許文献１に記載の多層セラミック基板の場合、焼結体プレートをセラミック多層基板内に内蔵させるために、焼結体プレートをセラミックグリーンシートに形成された導電性ペーストからなる内部導体膜等の導体パターンに接着した後、他のセラミックグリーンシートを重ねて圧着することによってセラミックグリーン積層体を作製する。

【０００４】

【特許文献１】 特開２００２－０８４０６７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、特許文献１に記載の従来の技術の場合には、焼結体プレートと内部導体膜との位置合わせが悪く、位置ズレがあつて、焼結体プレートが内部導体膜と僅かしか繋がっていないと、焼結体プレートとの接続不良を招く虞があつた。

【０００６】

尚、表面実装部品を基板の表面電極にはんだ実装する場合にはリフロー時に表面実装部品のセルフアライメントが働き上述のような問題を生じないが、焼結体プレートを内蔵させる場合にはセルフアライメント機能が働かないため、焼結体プレートの位置合わせが悪いと、その実装精度がそのまま反映され、位置ズレを補正することができない。従つて、焼結体プレートを内蔵させるためには、内部導体膜の焼結体プレートとの接続部（電極パッド）を基板の表面電極より大きくしなければ接続信頼性を得られなかった。また、内部導体膜の電極パッドを大きくすると配線密度が低下し、セラミック多層基板の小型化ができなくなるという課題があつた。

【０００７】

本発明は、上記課題を解決するためになされたもので、内蔵チップ型電子部品と内部導体との接続信頼性を格段に高めることができるチップ型電子部品を内蔵した多層基板及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【０００８】

本発明の請求項１に記載のチップ型電子部品を内蔵した多層基板は、複数の誘電体層が積層されてなる積層体と、この積層体内に埋設され且つ端子電極を有するチップ型電子部品と、を備え、上記誘電体層に、その積層方向にビア導体を設けた、チップ型電子部品を

内蔵した多層基板であって、上記チップ型電子部品の端子電極は、上記ビア導体の上下の端面のうち、少なくともいずれか一方の端面に接続されており、且つ、上記ビア導体に接続段部が形成されていることを特徴とするものである。

【０００９】

また、本発明の請求項２に記載のチップ型電子部品を内蔵した多層基板は、請求項１に記載の発明において、上記誘電体層はセラミック層であり、上記積層体は複数の上記セラミック層が積層されてなるセラミック積層体であって、上記チップ型電子部品は、セラミック焼結体を素体とするものであることを特徴とするものである。

【００１０】

また、本発明の請求項３に記載のチップ型電子部品を内蔵した多層基板は、請求項２に記載の発明において、上記セラミック層は、低温焼結セラミック材料によって形成され、且つ、上記ビア導体は、銀または銅を主成分とする導体材料によって形成されていることを特徴とするものである。

【００１１】

また、本発明の請求項４に記載のチップ型電子部品を内蔵した多層基板の製造方法は、ビア導体を有する誘電体層の上に、端子電極を有するチップ型電子部品の端子電極を上記ビア導体と接するように配置する工程と、上記チップ型電子部品が配置された誘電体層と他の誘電体層とを重ね合わせて、上記チップ型電子部品が内蔵された積層体を形成する工程と、を備えたことを特徴とするものである。

【００１２】

また、本発明の請求項５に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項４に記載の発明において、上記誘電体層をセラミックグリーン体とし、上記チップ型電子部品を、セラミック焼結体を素体とするものとし、このチップ型電子部品が配置されたセラミックグリーン体を他のセラミックグリーン体と共に重ね合わせて、上記チップ型電子部品が内蔵されたセラミックグリーン積層体を形成し、このセラミックグリーン積層体を焼成すること特徴とするものである。

【００１３】

また、本発明の請求項６に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項５に記載の発明において、上記他のセラミックグリーン体は、上記チップ型電子部品の端子電極と接するビア導体を有すること特徴とするものである。

【００１４】

また、本発明の請求項７に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項５または請求項６に記載の発明において、上記セラミックグリーン体を低温焼結セラミック材料によって形成する工程と、上記セラミックグリーン積層体の内部に銀または銅を主成分とする導体パターンを形成する工程と、を備えたこと特徴とするものである。

【００１５】

また、本発明の請求項８に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項５～請求項７のいずれか１項に記載の発明において、上記セラミックグリーン積層体の内部または表面に、上記セラミックグリーン体の焼結温度では実質的に焼結しない難焼結性粉末からなる収縮抑制層を付与する工程を備えたこと特徴とするものである。

【発明の効果】

【００１６】

本発明の請求項１～請求項８に記載の発明によれば、内蔵チップ型電子部品と内部導体との接続信頼性を格段に高めることができるチップ型電子部品を内蔵した多層基板及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【００１７】

以下、図１～図６に示す実施形態に基づいて本発明を説明する。尚、図１の（ａ）～（ｃ）はそれぞれ本発明のチップ型電子部品を内蔵した多層基板の一実施形態であるセラミック多層基板を示す図で、（ａ）はその全体を示す断面図、（ｂ）は（ａ）の要部を拡大

して示す断面図、(c)は(b)の平面図、図2の(a)、(b)はそれぞれ本発明のチップ型電子部品を内蔵した多層基板の他の実施形態の要部を示す図で、それぞれ図1の(c)に相当する平面図、図3、図4はそれぞれ図1に示すセラミック多層基板の製造方法の要部を示す工程図、図5の(a)、(b)は図1に示すセラミック多層基板のチップ型電子部品の実装位置の位置ズレを説明するための断面図で、(a)は位置ズレのない状態を示す図、(b)は位置ズレのある状態を示す図、図6は本発明のチップ型電子部品を内蔵した多層基板の更に他の実施形態の要部を拡大して示す断面図である。

【0018】

本実施形態のチップ型電子部品を内蔵した多層基板10は、例えば図1の(a)に示すように、複数のセラミック層11Aが積層され且つ内部導体パターン12が形成されたセラミック積層体11と、上下のセラミック層11Aの界面に複数配置され、セラミック焼結体を素体とし且つその両端部に外部端子電極13Aを有するチップ型電子部品13と、を備え、セラミック多層基板として構成されている。また、セラミック積層体11の両主面(上下両面)にはそれぞれ表面電極14、14が形成されている。そこで、以下では、チップ型電子部品を内蔵した多層基板10をセラミック多層基板10として説明する。

【0019】

セラミック積層体11の上面には表面電極14を介して複数の表面実装部品20が実装されている。表面実装部品20としては、半導体素子、ガリウム砒素半導体素子等の能動素子やコンデンサ、インダクタ、抵抗等の受動素子等が半田や導電性樹脂を介して、あるいはAu、Al、Cu等のボンディングワイヤーを介してセラミック積層体11上面の表面電極14に電氣的に接続されている。チップ型電子部品13と表面実装部品20は、表面電極14及び内部導体パターン12を介して互いに電氣的に接続されている。このセラミック多層基板10は下面の表面電極14を介してマザーボード等の実装基板に実装することができる。

【0020】

而して、セラミック積層体11を構成するセラミック層11Aの材料は、セラミック材料であれば特に制限されないが、特に低温焼結セラミック(LTCC:Low Temperature Co-fired Ceramic)材料が好ましい。低温焼結セラミック材料とは、1000℃以下の温度で焼結可能であって、比抵抗の小さな銀や銅等と同時に焼成が可能なセラミック材料である。低温焼結セラミックとしては、具体的には、アルミナやフォスファイト等のセラミック粉末にホウ珪酸系ガラスを混合してなるガラス複合系LTCC材料、ZnO-MgO-Al₂O₃-SiO₂系の結晶化ガラスを用いた結晶化ガラス系LTCC材料、BaO-Al₂O₃-SiO₂系セラミック粉末やAl₂O₃-CaO-SiO₂-MgO-B₂O₃系セラミック粉末等を用いた非ガラス系LTCC材料等が挙げられる。

【0021】

セラミック積層体11の材料として低温焼結セラミック材料を用いることによって、内部導体パターン12及び表面電極14にAgまたはCu等の低抵抗で低融点をもつ低融点金属を用いることができ、セラミック積層体11と内部導体パターン12とを1000℃以下の低温で同時焼成することができる。

【0022】

また、セラミック材料として、高温焼結セラミック(HTCC:High Temperature Co-fired Ceramic)材料を使用することができる。高温焼結セラミック材料としては、例えば、アルミナ、窒化アルミニウム、ムライト、その他の材料にガラスなどの焼結助剤を加え、1100℃以上で焼結されたものが用いられる。このとき、内部導体パターン12及び表面電極14としては、モリブデン、白金、パラジウム、タングステン、ニッケル及びこれらの合金から選択される金属を使用する。

【0023】

セラミック積層体11は、図1の(a)に示すように、その内部に形成された内部導体パターン12と、その上下両面に形成された表面電極14、14とを有している。内部導体パターン12は、上下のセラミック層11Aの界面に沿って所定のパターンで形成され

た面内導体 1 2 A と、上下の面内導体 1 2 A を接続するように所定のパターンでセラミック層 1 1 A をその積層方向に貫通させて、例えば円柱状に形成されたビア導体 1 2 B とから構成されている。

【0024】

チップ型電子部品 1 3 は、図 1 の (a) に示すように、上下のセラミック層 1 1 A、1 1 A の界面に配置され、その外部端子電極 1 3 A がビア導体 1 2 B の上下の端面のうち、少なくともいずれか一方の端面に直接的に接続されている。チップ型電子部品 1 3 はビア導体 1 2 B に対して複数の接続パターンで接続されている。即ち、本実施形態では、チップ型電子部品 1 3 は、同図の (a) において○で囲んだ部分に示すように、X、Y、Z の 3 つの接続パターンでビア導体 1 2 B に接続されている。

【0025】

まず、X の接続パターンについて、図 1 の (b)、(c) をも参照しながら説明する。チップ型電子部品 1 3 の左右一対の外部端子電極 1 3 A は、図 1 の (a) ~ (c) に示すように、チップ型電子部品 1 3 の下面に接触するセラミック層 1 1 A に形成された左右一対のビア導体 1 2 B、1 2 B に接続されている。これら一対のビア導体 1 2 B、1 2 B の上端面にはそれぞれ段部 1 2 C、1 2 C が互いに対向して形成され、これらの段部 1 2 C、1 2 C に対して外部端子電極 1 3 A、1 3 A が密着して接続されている。段部 1 2 C は、ビア導体 1 2 B の上端面の半分を切り欠いたように形成されて、断面形状が L 字状を呈している。従って、チップ型電子部品 1 3 の外部端子電極 1 3 A、1 3 A は、それぞれの端部の略下半分が互いに対向する段部 1 2 C、1 2 C の垂直壁面と底面との二面を介してそれぞれのビア導体 1 2 B、1 2 B に接続されている。即ち、矩形状のチップ型電子部品 1 3 は、その端面及び底面の少なくとも二面でビア導体 1 2 B に接続されている。尚、図 1 の (b) において、チップ型電子部品 1 3 は、素体としてセラミック焼結体 1 3 B として積層セラミックコンデンサが示されており、内部電極 1 3 C を有している。

【0026】

また、Y の接続パターンでは、チップ型電子部品 1 3 は、一方（同図では右方）の外部端子電極 1 3 A が下側のセラミック層 1 1 A に形成されたビア導体 1 2 B の段部 1 2 C に接続され、他方（同図では左方）の外部端子電極 1 3 A が上側のセラミック層 1 1 A に形成されたビア導体 1 2 B の段部 1 2 C に接続されている。右方のビア導体 1 2 B は、図 1 の (b) に示す右方のビア導体 1 2 B と同一形態で形成されている。左方のビア導体 1 2 B は、その段部 1 2 C がビア導体 1 2 B の下端面に形成されている。左右のビア導体 1 2 B、1 2 B の段部 1 2 C、1 2 C は、それぞれの外部端子電極 1 3 A、1 3 A との接続面が互いに対向し、且つ、これら両者はチップ型電子部品 1 3 に対して 180° 回転した位置関係にある。このような接続パターンの場合、それぞれの外部端子電極 1 3 A に接続されるビア導体 1 2 B の距離が離れるため、ビア導体 1 2 B の狭ピッチ化、つまりはチップ型電子部品 1 3 の小型化に対応することができると共に、各ビア導体 1 2 B、1 2 B 間のアイソレーションを十分に確保することができる。

【0027】

また、Z の接続パターンでは、チップ型電子部品 1 3 は、一方（同図では右方）の外部端子電極 1 3 A が下側のセラミック層 1 1 A に形成されたビア導体 1 2 B の段部 1 2 C に接続され、他方（同図では左方）の外部端子電極 1 3 A が上下両側のセラミック層 1 1 A、1 1 A にそれぞれ連続して形成されたビア導体 1 2 B、1 2 B の上下の段部 1 2 C、1 2 C に挟持された状態で接続されている。右方のビア導体 1 2 B は、X の接続パターンにおける右方のビア導体 1 2 B と同一形態で形成されている。左方のビア導体 1 2 B、1 2 B のうち、下側のビア導体 1 2 B は、X の接続パターンにおける左方のビア導体 1 2 B と同一の形態で形成され、上側のビア導体 1 2 C は、Y の接続パターンの左方のビア導体 1 2 C と同一の形態で形成されている。このような接続パターンの場合、外部端子電極 1 3 A とビア導体 1 2 B との接続信頼性を更に向上させることができる。

【0028】

チップ型電子部品 1 3 が接続されるビア導体 1 2 B は、図 1 の (a) ~ (c) に示す形

態に限らず、例えば図2の(a)、(b)に示す形態を有するものであっても良い。

【0029】

図2の(a)に示すビア導体12'Bは、その平面形状が長円形に形成され、その長軸がチップ型電子部品13の幅方向よりも多少長く形成されている。そして、チップ型電子部品13の外部端子電極13Aは、その端面がビア導体12'Bの長軸に一致するように配置され、ビア導体12'Bの上端面に形成された段部12'Cに係合して接続されている。この段部12'Cは、同図の(a)からも推定されるように、外部端子電極13Aの端面、両側面及び底面に対応する3つの垂直壁面及び底面を有し、4面で外部端子電極13Aに接続されている。もっとも、3つの垂直壁面は、図1に示した場合と同様に外部端子電極13Aの略下半分に接合している。従って、このビア導体12'Bは、図1に示す場合よりも外部端子電極13Aとの接触面積が大きいので、接続信頼性をより高めることができる。

【0030】

また、図2の(b)に示すビア導体12"Bは、図1に示すビア導体12Bと同様に円柱状に形成され、その外径が図1に示す場合よりもやや小径に形成されている。チップ型電子部品13の一方の外部端子電極13Aは、離間して配置された2つのビア導体12"B、12"Bに形成された段部12"C、12"Cにそれぞれ係合して接続されている。2つのビア導体12"B、12"Bは、それぞれの中心を通る直線がチップ型電子部品13の外部端子電極13Aの端面に一致し、しかもチップ型電子部品13の軸心を挟んで対称になるように配置されている。一方のビア導体12"Bの段部12"Cは、同図の(b)からも推定されるように、外部端子電極13Aの端面、片側面及び底面に対応する2つの垂直壁面及び底面を有し、3面で外部端子電極13Aの端部の半分側に接続されている。他方のビア導体12"Bは、同様に3面で外部端子電極13Aの端部の残り半分側に接続されている。従って、このビア導体12"Bは、図1に示す場合と図2の(a)に示す場合との中間の程度の接触面積で外部端子電極13Aに接続され、接続信頼性を高めている。

【0031】

而して、チップ型電子部品13としては、特に制限されないが、例えばチタン酸バリウムやフェライト等の1200℃以上で焼成されたセラミック焼結体を素体としたもの、例えば図1の(b)に示す積層セラミックコンデンサの他、インダクタ、フィルタ、バラコン、カップラ等のチップ型電子部品を用いることができ、これらのチップ型電子部品を目的に応じて単数あるいは複数適宜選択して用いることができる。チップ型電子部品13は、図1の(a)に示す場合には、同一セラミック層11A上に並べて複数配置されているが、チップ型電子部品13は、必要に応じて上下のセラミック層11A、11Aの界面のいずれの場所にも配置することができる。また、チップ型電子部品13は、上下の異なる複数の界面に渡って複数積層して配置しても良い。それぞれの複数のチップ型電子部品13は、目的に応じて、ビア導体12Bの段部12Cを介して互いに直列及び／または並列に接続して、セラミック多層基板10の多機能化、高性能化を実現することができる。

【0032】

次いで、図3～図5を参照しながらセラミック多層基板10の製造方法について説明する。

本実施形態では無収縮工法を用いてセラミック多層基板10を作製する場合について説明する。無収縮工法とは、セラミック積層体11としてセラミック材料を用いた場合にセラミック積層体の焼成前後でセラミック積層体の平面方向の寸法が実質的に変化しない工法のことを云う。

【0033】

本実施形態ではまず、例えば低温焼結セラミック材料を含むスラリーを用いて、セラミックグリーンシートを所定枚数作製する。また、図3の(a)、(b)に示すように、セラミック焼結体を素体とするチップ型電子部品113を搭載するためのセラミックグリーンシート111Aには所定のパターンでビアホールを形成する。これらのビアホールは、

チップ型電子部品１１３の幅寸法よりやや小さく、他のセラミックグリーンシートに形成されるビア導体よりも大きな直径を有する円形状の貫通孔として形成することが好ましい。これらのビアホール内に例えばＡｇまたはＣｕを主成分とする導電性ペーストを充填してビア導体部１１２Ｂを形成する。更に、スクリーン印刷法を用いて同種の導電性ペーストをセラミックグリーンシート１１１Ａ上に所定のパターンで塗布して、表面電極部１１４を形成し、表面電極部１１４とビア導体部１１２Ｂとを適宜接続したセラミックグリーンシート１１１Ａを作製する。その他の面内導体部１１２Ａ及び／またはビア導体部１１２Ｂを有するセラミックグリーンシート１１１Ａもこれと同一要領で作製する。尚、ビアホールは、図２の（ａ）、（ｂ）に示すビア導体１１２Ｂを形成する貫通孔として形成することもできる。

【００３４】

尚、焼成時のチップ型電子部品については符号「１１３」を附し、焼成後の降温時以降のチップ型電子部品については符号「１３」を附して説明する。

【００３５】

次いで、チップ型電子部品１１３が配置されるセラミックグリーンシート１１１Ａの上面には、スプレー等を用いて面内導体部１１２Ａに有機系接着剤を塗布または噴霧して有機系接着剤層（図示せず）を形成した後、図３の（ｂ）に示すように、チップ型電子部品１１３の外部端子電極部１１３Ａ、１１３Ａをセラミックグリーンシート１１１Ａのビア導体部１１２Ｂに位置合わせし、チップ型電子部品１１３をセラミックグリーンシート１１１Ａ上に搭載し、チップ型電子部品１１３の外部端子電極部１１３Ａを、有機接着剤層を介してビア導体部１１２Ｂ上に接合、固定する。尚、有機接着剤としては、合成ゴムや合成樹脂と可塑剤を加えた混合物などを使用することができる。また、有機接着剤層の厚みは、塗布の場合には３μm以下、噴霧の場合には１μm以下が好ましい。

【００３６】

その後、図３の（ｃ）に示すように面内導体部１１２Ａ及び／またはビア導体部１１２Ｂを有するセラミックグリーンシート１１１Ａとチップ型電子部品１１３が搭載されたセラミックグリーンシート１１１Ａとを所定の順序で拘束層１１６上に積層し、最上層の表面電極部１１４を有するセラミックグリーンシート１１１Ａを積層して、拘束層１１６上にセラミックグリーン積層体１１１を形成する。更に、このセラミックグリーン積層体１１１の上面に拘束層１１６を積層し、上下の拘束層１１６を介してセラミックグリーン積層体１１１を所定の温度及び圧力で熱圧着して、図４の（ａ）に示す圧着体１１０を得る。拘束層１１６としては、セラミックグリーン積層体１１１の焼結温度では焼結しない難焼結性粉末（例えばＡｌ₂Ｏ₃等のように焼結温度の高いセラミック粉末）、具体的にはＡｌ₂Ｏ₃を主成分として含むと共に、有機バインダを副成分として含むペーストから同図に示すようにシート状に形成されたものを用いる。

【００３７】

ところで、チップ型電子部品１１３がセラミックグリーンシート１１１Ａのビア導体部１１２Ｂの所定位置に正確に配置されている場合には、図５の（ａ）に示すようにチップ型電子部品１１３が圧着操作によって、チップ型電子部品１１３は、セラミックグリーンシート１１１Ａ内に沈み込む際に、左右の外部電極端子１１３Ａ、１１３Ａを介して左右のビア導体部１１２Ｂ、１１２Ｂ上端面それぞれの内側半分ずつを均等に圧縮変形させて段部１１２Ｃ、１１２Ｃを形成しながら左右のビア導体部１１２Ｂ、１１２Ｂに接続される。従って、左右の外部端子電極１１３Ａ、１１３Ａは、段部１１２Ｃ、１１２Ｃと二面で接続される。

【００３８】

また、例えばチップ型電子部品１１３が所定の位置より左方に偏倚している場合には、チップ型電子部品１１３は、図５の（ｂ）に示すように左方の外部端子電極１１３Ａが左方のビア導体部１１２Ｂと大きな接触面積をもって接触し、右方の外部端子電極１１３Ａがビア導体部１１２Ｂの一部に引っ掛った状態で小さな面積を持って接触し、ビア導体部１１２Ｂ、１１２Ｂを圧縮変形させて段部１１２Ｃ、１１２Ｃを形成しながら左右のビア

導体部 1 1 2 B、1 1 2 B に接続される。つまり、外部端子電極 1 1 3 A がビア導体部 1 1 2 B の一部に引っ掛った状態でも、ビア導体部 1 1 B は、切断されることなく圧縮変形され外部端子電極 1 1 3 A との接触を保ちながら変形するため、同図に示すように外部端子電極 1 1 3 A とビア導体部 1 1 2 B とは確実に接続される。

【0039】

上述のように圧着体 1 1 0 を作製し、チップ型電子部品 1 1 3 を内蔵させた後、図 4 の (a) に示す圧着体 1 1 0 を例えば空気雰囲気中 870℃ で焼成して、図 4 の (b) に示すセラミック多層基板 1 0 を得る。内蔵されたチップ型電子部品 1 1 3 の外部端子電極部 1 1 3 A とビア導体 1 1 2 B は、焼結する際にそれぞれの金属粒子が粒成長して一体化して接続される。焼成温度としては、低温焼結セラミック材料が焼結する温度、例えば 800～1000℃ の範囲が好ましい。焼成温度が 800℃ 未満ではセラミックグリーン積層体 1 1 1 のセラミック成分が十分に焼結しない虞があり、1000℃ を超えると内部導体パターン 1 2 の金属粒子が溶融してセラミックグリーン積層体 1 1 1 内へ拡散する虞がある。

【0040】

焼成後には、ブラスト処理や超音波洗浄処理によって上下の拘束層 1 1 6 を除去して、セラミック多層基板 1 0 を得ることができる。更に、図 4 の (c) に示すように、セラミック多層基板 1 0 の表面電極 1 4 に所定の表面実装部品 2 0 を半田等の手法で実装して最終製品を得ることができる。尚、チップ型電子部品 1 1 3 の外部端子電極部 1 1 3 A は、導電性ペーストを塗布して焼き付けたものであっても、導電性ペーストを塗布して乾燥させて焼き付ける前のものであっても良い。

【0041】

また、表面実装部品 2 0 は、図 1 の (a) に示すようにチップ型電子部品 1 3 と適宜組み合わせ用いられる。チップ型電子部品 1 3 と表面実装部品 2 0 とは表面電極 1 4、内部導体パターン 1 2 を介して互いに接続されている。表面実装部品 2 0 が集積回路等の電源ノイズの影響を受けやすい部品である場合には、表面実装部品 2 0 の電源端子及び接地端子の直下近傍で積層セラミックコンデンサをチップ型電子部品 1 3 として接続することにより、集積回路等の表面実装部品 2 0 の端子配置の制約を受けることなく、また、別途マザーボードにチップ型電子部品（例えば、積層セラミックコンデンサ）を実装することなく、電源電圧の安定供給及び出力の発振防止など、高効率でノイズ除去を行うことができる。

【0042】

以上説明したように本実施形態によれば、ビア導体 1 1 2 B を有するセラミックグリーンシート 1 1 1 A の上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品 1 1 3 の外部端子電極 1 1 3 A をビア導体 1 1 2 B と接するように配置し、チップ型電子部品 1 1 3 が配置されたセラミックグリーンシート 1 1 1 A と他のセラミックグリーンシート 1 1 1 A とを重ね合わせて、チップ型電子部品 1 1 3 が内蔵されたセラミックグリーン積層体 1 1 1 を形成した後、セラミックグリーン積層体 1 1 1 を焼成してセラミック多層基板 1 0 を作製するため、チップ型電子部品 1 3 は、外部端子電極 1 3 A がビア導体 1 2 B と接続され、しかも、ビア導体 1 2 B の端面に接続用の段部 1 2 C が形成されたセラミック多層基板 1 0 を製造することができる。このセラミック多層基板 1 0 は、内蔵チップ型電子部品 1 3 の外部端子電極 1 3 A がビア導体 1 2 の端面の段部 1 2 C と接続されているため、ビア導体 1 2 B が断線することなく外部端子電極 1 3 A と確実に接続され、接続信頼性を格段に高めることができる。

【0043】

本実施形態によれば、チップ型電子部品 1 3 の左右の外部端子電極 1 3 A に対して上側及び／または下側から接するビア導体 1 2 B を有するため、種々の接続パターンでチップ型電子部品 1 3 とビア導体 1 2 B と接続することができ、導体パターン 1 2 の自由度を高めることができる。更に、本実施形態によれば、セラミック層 1 1 A は低温焼結セラミック層であるため、内部導体パターン 1 2 及び表面電極 1 4 として Ag または Cu 等の低抵

抗で安価な金属を用いることができ、製造コストの低減に寄与することができる。

【0044】

尚、上記実施形態では、セラミック層を誘電体層としたセラミック積層体の内部に、セラミック焼結体を素体とするチップ型セラミック電子部品を備えたセラミック多層基板について説明したが、誘電体層が樹脂層であって樹脂積層体の内部にセラミック焼結体あるいは樹脂を素体とするチップ型電子部品を備えた樹脂多層基板であっても良い。

【0045】

また、上記実施形態では、収縮抑制層116をセラミックグリーン積層体111の上下両面に配置してセラミック多層基板10を作製する場合について説明したが、収縮抑制層はセラミックグリーン積層体の内部のセラミックグリーンシートの上に適宜介在させても良い。この場合には収縮抑制層はセラミック多層基板内に残るが、セラミックグリーンシートが焼結する際に、それぞれのガラス成分が収縮抑制層内に混入し、収縮抑制層は未焼結のセラミック材料がガラス成分によって結合、固化されたセラミック層として残る。

【実施例】

【0046】

実施例1

本実施例では、無収縮工法で焼成してセラミック多層基板を作製し、チップ型電子部品（積層セラミックコンデンサ）とビア導体との断線の有無を調べた。

【0047】

〔セラミック多層基板の作製〕

セラミック多層基板を作製するには、まず、 Al_2O_3 をフィラーとし、セラミック材料としてホウ珪酸ガラスを焼結助剤とする低温焼結セラミック材料を用いてスラリーを調製し、このスラリーをキャリアフィルム上に塗布して複数枚のセラミックグリーンシートを作製した。そして、一枚のセラミックグリーンシートに対してレーザー加工により直径0.3mmのビアホールを形成した後、セラミックグリーンシートを平滑な支持台の上に密着させた状態で、Ag粉末を主成分とする導電性ペーストを、メタルマスクを用いてビアホール内に押し込むことによってビア導体部を形成した。このセラミックグリーンシートに同一の導電性ペーストをスクリーン印刷して所定のパターンで面内導体部を形成した。他のセラミックグリーンシートについても同様にしてビア導体部及び面内導体部を形成した。

【0048】

次いで、セラミック焼結体を素体とするチップ型電子部品として積層セラミックコンデンサを用意した。この積層セラミックコンデンサは、1300℃で焼成されたセラミック焼結体（サイズ：0.6mm×0.3mm×0.3mm、内部電極：Pd、容量規格：80pF）からなり、その両端にAgを主成分とする導電性ペーストを塗布、焼付けして外部端子電極部が形成されている。外部端子電極にはメッキ処理が施されていない。この積層セラミックコンデンサの幅はビア導体部の直径と同一寸法に形成されている。その後、例えばスプレーを用いて所定のセラミックグリーンシート上に有機系接着剤を塗布して面内導体部に有機系接着剤層を形成した後、マウンターを用いて積層セラミックコンデンサを所定の面内導体部に合わせて搭載し、積層セラミックコンデンサを面内導体部に接合、固定した。

【0049】

本実施例では、焼成後の厚さが50μmになる200mm×200mm角のセラミックグリーンシートを10枚積層し、複数の積層セラミックコンデンサを焼成後に基板表面から100μm下側に位置するようにセラミックグリーン積層体を形成した。

【0050】

200mm×200mm角のセラミックグリーン積層体の両面に拘束層となるシートを積層した後、この積層体を例えば10MPaで仮圧着した。仮圧着後、例えば100MPaで積層体の本圧着を行った。本圧着によって、セラミックグリーン積層体内において積層セラミックコンデンサによってビア導体部に接続用の段部が形成される。本圧着後、8

70℃の空気雰囲気中で圧着体の焼成を行った後、未焼結の拘束層を除去して、0.5mm厚のセラミック多層基板を得た。

【0051】

また、比較例1として、積層セラミックコンデンサとの接続部となる面内導体に直径0.3mmの電極パッド部を形成した以外は、実施例1と同一要領でセラミック多層基板を作製した。

【0052】

〔セラミック多層基板の評価〕

本実施例1と比較例1の各セラミック多層基板をビア導体、電極パッドの中心を通るように切断し、外部端子電極とビア導体または電極パッドとの接続の有無を、SEM（走査型電子顕微鏡）等を用いて観察した。この結果、実施例1のセラミック多層基板の場合には、例えば図5の（a）、（b）に示す接続状態が観察され、積層セラミックコンデンサがビア導体から多少位置ズレしていても、同図の（b）に示すように積層セラミックコンデンサの外部端子電極とビア導体が接続され、切断していないことが判った。

【0053】

これに対して、比較例1の場合には積層セラミックコンデンサが電極パッドから位置ズレしていると、積層セラミックコンデンサによって電極パッドが切断されている場合があった。

【0054】

従って、外部端子電極をビア導体に接続することによってこれら両者を確実に接続することができ、接続信頼性を格段に高められることが判った。本実施例では、印刷電極は厚みが数μm程度であるため、積層セラミックコンデンサの埋め込みのように数10μmオーダーで局所的にセラミックグリーンシートが変形する場合には配線切れが起こり易かったが、ビア導体は厚みがシート厚と同等以上の円柱状であるため、切断を生じることはない。

【0055】

実施例2

本実施例では、実施例1と同様の材料を用いて実施例1と同一要領でセラミック多層基板を作製した。但し、本実施例では、内蔵させる積層セラミックコンデンサとして、セラミック焼結体（サイズ：1.6mm×0.8mm×0.5mm、内部電極：Ni、容量規格：1μF）からなり、その両端にAgを主成分とする導電性ペーストを塗布、焼付けして外部端子電極部が形成されているものを用いた。そして、図6に示すように、セラミック多層基板10の上面に表面実装部品20として集積回路素子（IC）を配置し、ICの直下にバイパスコンデンサとして積層セラミックコンデンサ13を配置した。積層セラミックコンデンサ13の一方の外部端子電極13Aを、ビア導体12Bを介してICの電源部に直接接続し、積層セラミックコンデンサ13の他方の外部端子電極13Aをセラミック多層基板10内に形成されたグラウンド層として形成された面内導体12Aに接続した。積層セラミックコンデンサ13の外部端子電極13Aは、ビア導体12Bに対して段部12Cを介して接続されている。

【0056】

通常、バイパスコンデンサは基板上から見てICの外側に配置せざるを得ないため、基板内から基板上のバイパスコンデンサに配線を引き回して接続していた。本実施例では、ICとバイパスコンデンサである積層セラミックコンデンサ13とをビア導体12Bを介して直接接続しているため、両者間のインピーダンスを可能な限り低くすることができる。しかも、積層セラミックコンデンサ13の外部端子電極13Aは、ビア導体12Bと接続されているため、その接続信頼性を高めることができる。

【0057】

実施例3

本実施例では、低温焼結セラミック材料に用いられる焼結助材の添加量を変化させて拘束層に添加することによって、セラミックグリーンシートの積層体に対する拘束層の密着

力を変化させ、表 1 に示すように積層体の平面方向の収縮量を制御した以外は実施例 1 と同一要領でセラミック多層基板を作製した。

【 0 0 5 8 】

次いで、X線探傷法を用いてセラミック多層基板について基板及び積層セラミックコンデンサにクラックが発生しているか否かを観察した。この結果、表 1 に示すように、セラミック積層体の収縮量が-5 %を超えて小さくなると、内蔵積層セラミックコンデンサにクラックが検出され、その収縮量が+5 %を越えて大きくなると内蔵積層セラミックコンデンサ及びセラミック積層体自体にもクラックが検出された

【 0 0 5 9 】

【表 1】

焼結助材の含有量 (重量%)	収縮量(%)	部品、基板への影響	200mm 基板中クラックの あった部品数 (個/4000個)
1.7	-5.1	部品にクラック	241
1.6	-5.0	問題なし	0
1.4	-4.0	問題なし	0
1.2	-2.0	問題なし	0
1.0	-1.0	問題なし	0
0.5	0	問題なし	0
0.3	+1.0	問題なし	0
0.2	+3.0	問題なし	0
0.1	+5.0	問題なし	0
0.0	+5.1	基板、部品にクラック	165

【 0 0 6 0 】

表 1 に示す結果によれば、セラミック層の収縮量が±5 %を超えると積層セラミックコンデンサとビア導体とが切断することなく接続されても、積層セラミックコンデンサ及び／またはセラミック積層体にクラックが発生することが判った。従って、拘束層への焼結助材の添加量は、±5 %の範囲内の収縮量を示す、0.1～1.6 重量%に設定することが好ましいことが判った。

【 0 0 6 1 】

尚、本発明は、上記各実施形態に何等制限されるものではなく、本発明の趣旨に反しない限り、本発明に含まれる。

【産業上の利用可能性】

【 0 0 6 2 】

本発明は、電子機器などに使用されるセラミック多層基板及びその製造方法に好適に利用することができる。

【図面の簡単な説明】

【 0 0 6 3 】

【図 1】（a）～（c）はそれぞれ本発明のチップ型電子部品を内蔵した多層基板 10 多層基板の一実施形態であるセラミック多層基板を示す図で、（a）はその全体を示す断面図、（b）は（a）の要部を拡大して示す断面図、（c）は（b）の平面図である。

【図 2】（a）、（b）はそれぞれ本発明のチップ型電子部品を内蔵した多層基板 10 多層基板の他の実施形態の要部を示す図で、それぞれ図 1 の（c）に相当する平面図である。

【図 3】（a）～（c）はそれぞれ図 1 に示すセラミック多層基板の製造工程の要部を示す工程図で、（a）はセラミックグリーンシートを示す断面図、（b）は（a）に示すセラミックグリーンシートにチップ型電子部品を載置する状態を示す断面図、（c）は（b）に示すセラミックグリーンシートと他のセラミックグリーンシートを積層する状態を示す断面図である。

【図 4】（a）～（c）はそれぞれ図 2 に示す製造工程に続く工程図で、（a）は焼成前の圧着体を示す断面図、（b）は焼成後のセラミック多層基板を示す断面図、（

c)は(b)に示すセラミック多層基板にチップ型電子部品を搭載した状態を示す断面図である。

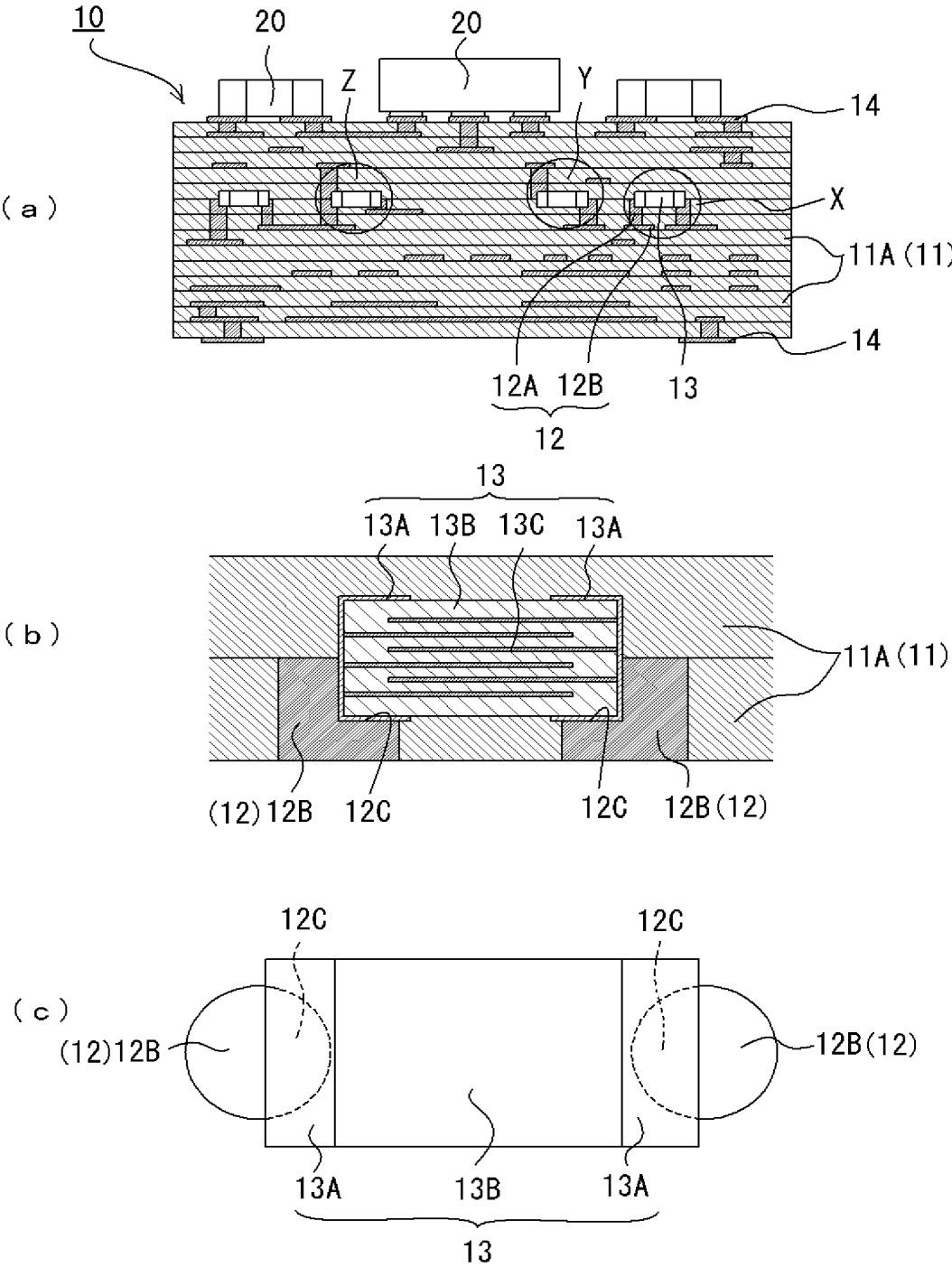
【図5】(a)、(b)は図1に示すセラミック多層基板のチップ型電子部品の実装位置の位置ズレを説明するための断面図で、(a)は位置ズレのない状態を示す図、(b)は位置ズレのある状態を示す図である。

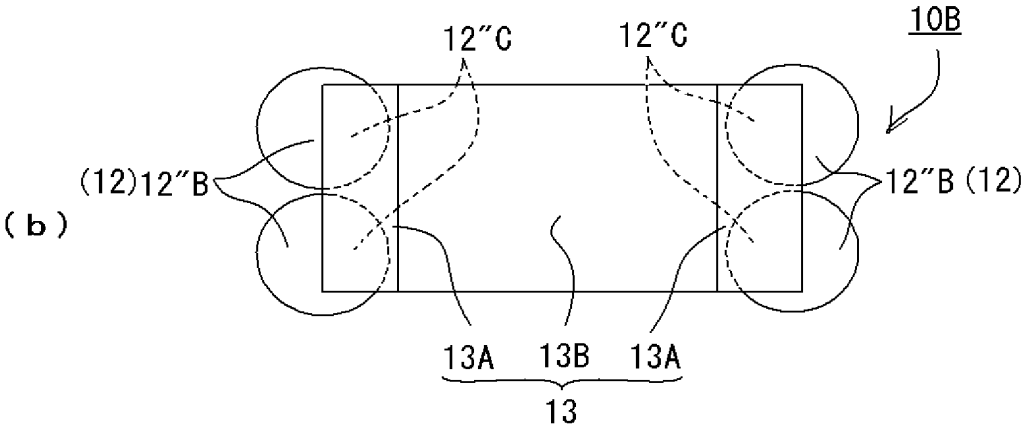
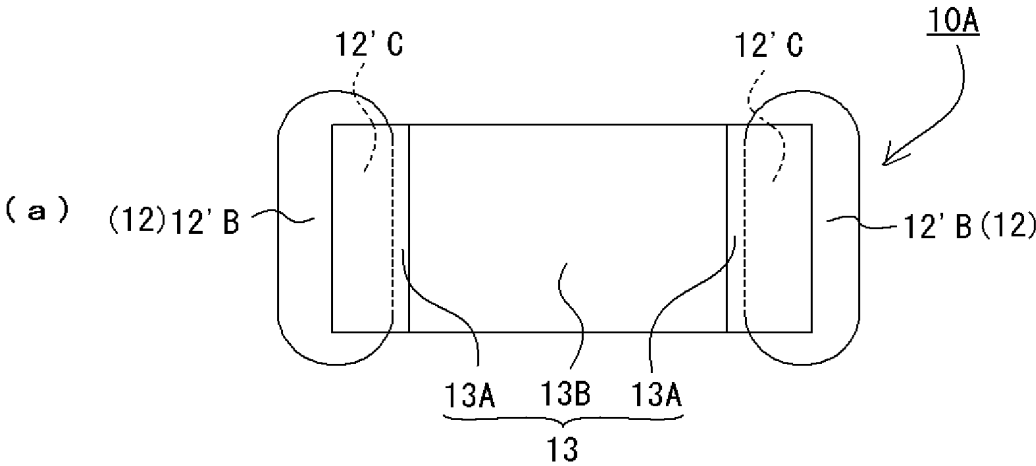
【図6】本発明のチップ型電子部品を内蔵した多層基板10多層基板の更に他の実施形態の要部を拡大して示す断面図である。

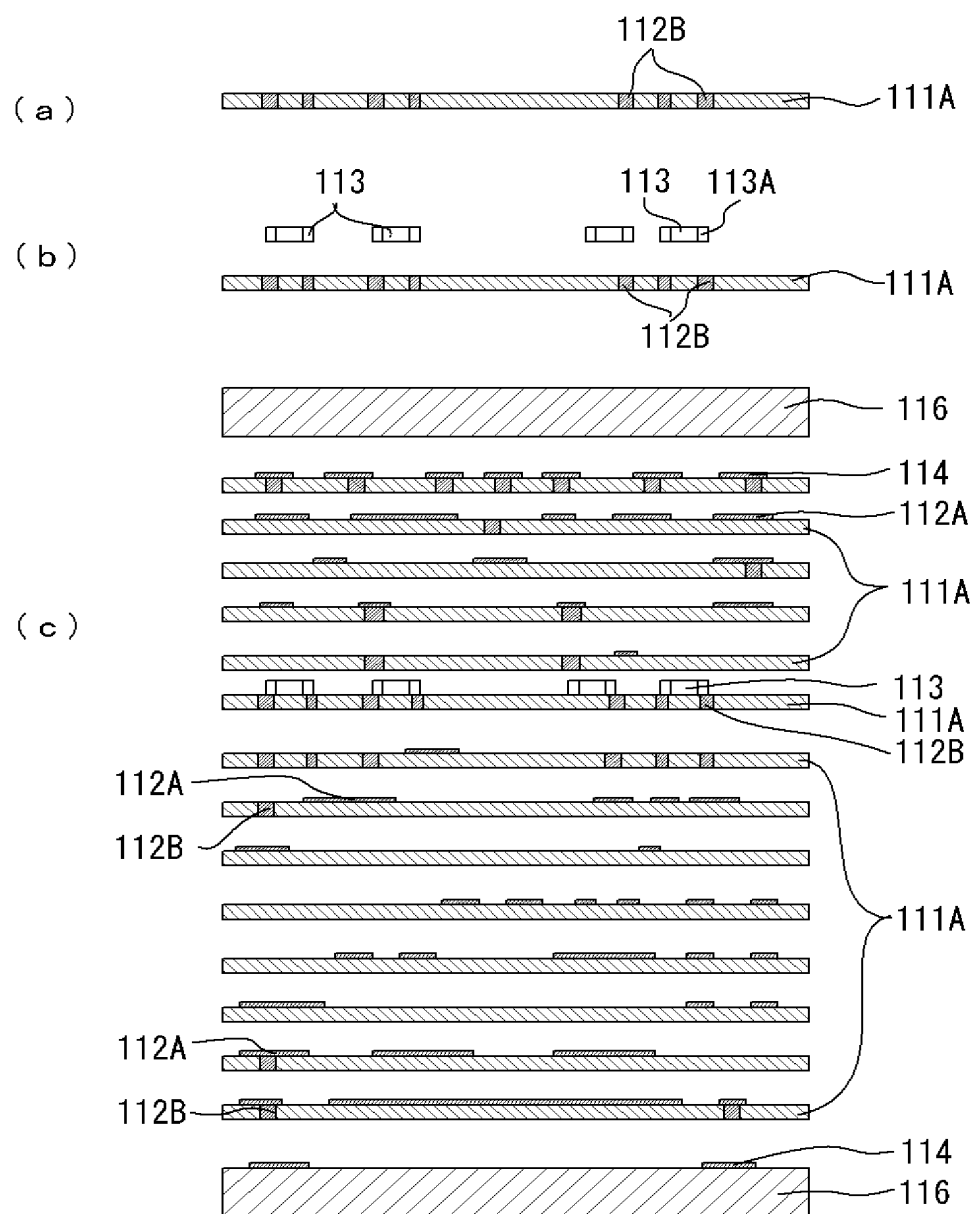
【符号の説明】

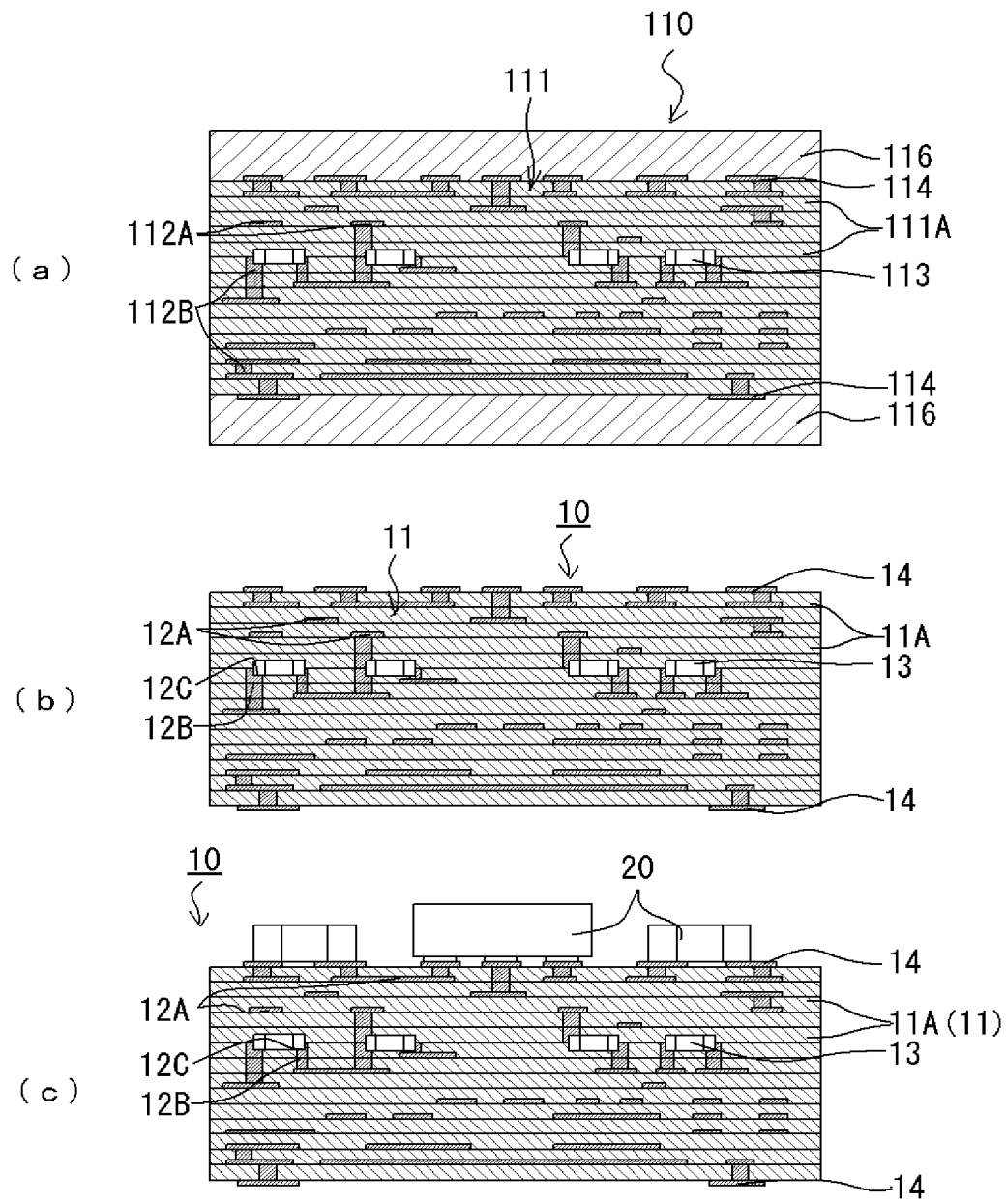
【0064】

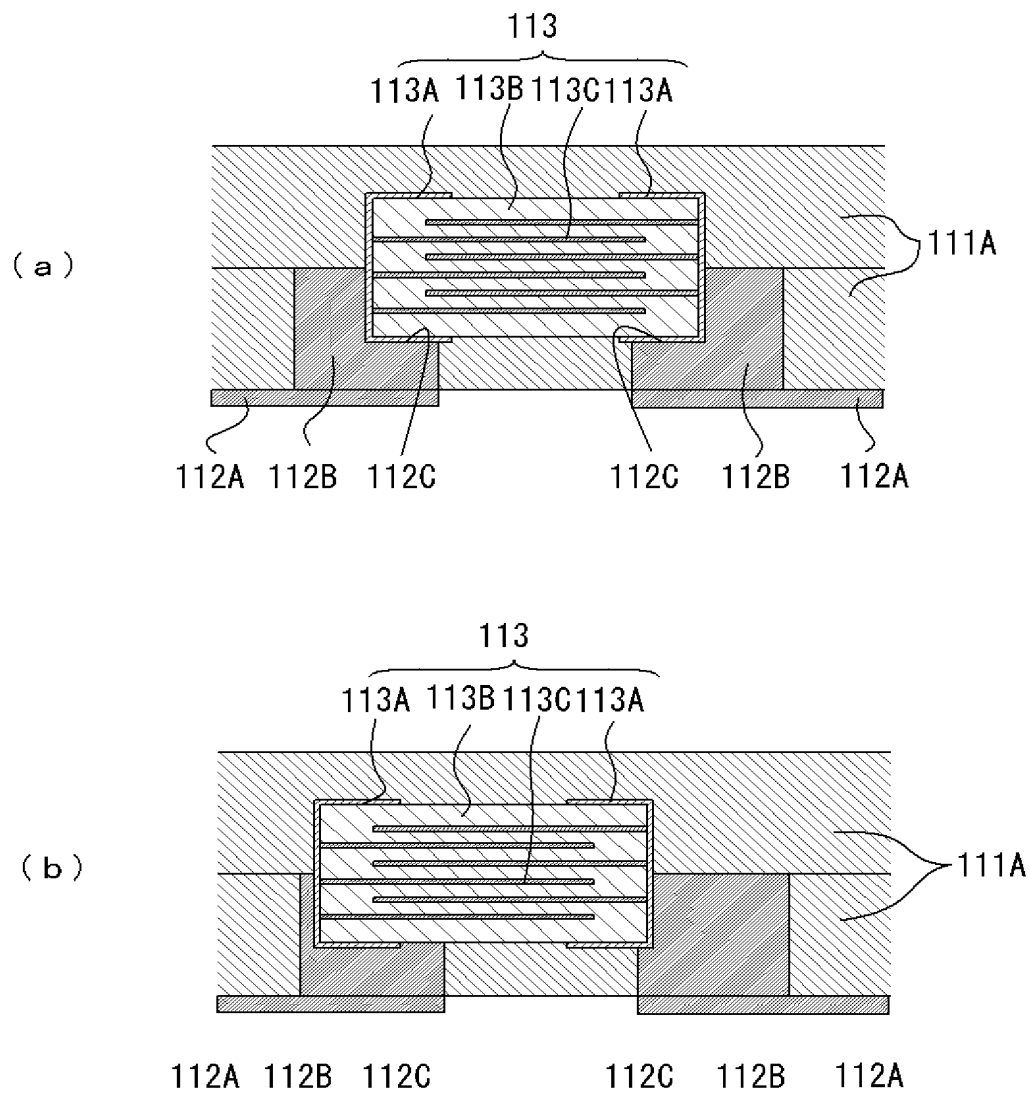
- 10 セラミック多層基板
- 11 セラミック積層体
- 11A セラミック層
- 12 導体パターン
- 12B ビア導体
- 12C 段部(接続段部)
- 13、113 チップ型電子部品
- 13A、113A 外部端子電極(端子電極)
- 111 セラミックグリーン積層体
- 111A セラミックグリーンシート(セラミックグリーン体)



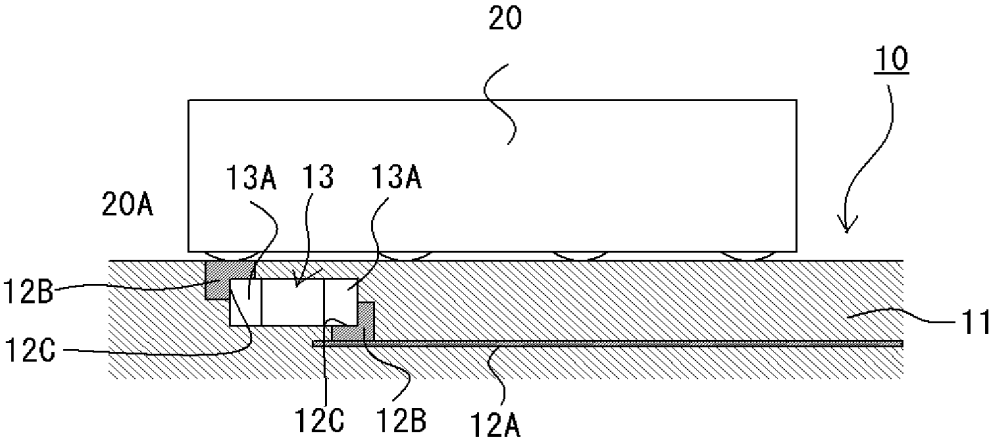








【 図 6 】



【書類名】 要約書

【要約】

【課題】 特許文献 1 に記載の従来の技術の場合には、焼結体プレートと内部導体膜との位置合わせが悪く、位置ズレがあつて、焼結体プレートが内部導体膜と僅かしか繋がっていないと、焼結体プレートとの接続不良を招く虞があつた。

【解決手段】 本発明のチップ型電子部品を内蔵した多層基板 10 は、複数のセラミック層 11 A が積層されてなるセラミック積層体 11 と、このセラミック積層体 11 内に埋設され且つ外部端子電極 13 A を有するチップ型電子部品 13 と、を備え、セラミック層 11 A に、その積層方向にビア導体 12 B を設けたものであつて、チップ型電子部品 13 の外部端子電極 13 A は、ビア導体 12 B に接続されており、且つ、ビア導体 12 B の上下の端面のうち、少なくとも一方の端面に接続用の段部 12 C が形成されている。

【選択図】 図 1

出願人履歴

0 0 0 0 0 6 2 3 1

20041012

住所変更

京都府長岡京市東神足1丁目10番1号

株式会社村田製作所